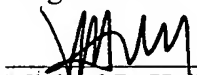




PATENT  
29936/39510

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application of: Young Hee Mun et al.	)	I hereby certify that this paper and the
	)	documents referred to as enclosed
Serial No.: 10/699,438	)	therewith are being deposited with the
	)	United States Postal Service as first
Filed: October 31, 2003	)	class mail, postage prepaid, on
	)	<b>February 17, 2004</b> , in an envelope
For: Silicon Wafers and Method of	)	addressed to Commissioner for
Fabricating the Same	)	Patents, P.O. Box 1450, Alexandria,
	)	Virginia 22313-1450
Group Art Unit: 2812	)	
	)	Michael R. Hull
Examiner: To be assigned	)	Reg. No. 35,902
	)	Attorney for Applicants

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

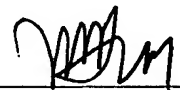
Enclosed herewith is a certified copy of Korean Patent Application No.  
2003-62283 filed September 5, 2003, upon which priority of the above-captioned  
application is claimed under 35 U.S.C. § 119.

Respectfully submitted,

MARSHALL, GERSTEIN & BORUN LLP  
6300 Sears Tower  
233 South Wacker Drive  
Chicago, Illinois 60606-6357  
(312) 474-6300

February 17, 2004

By:

  
Michael R. Hull  
Reg. No. 35,902



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0062283  
Application Number

출원 년 월 일 : 2003년 09월 05일  
Date of Application SEP 05, 2003

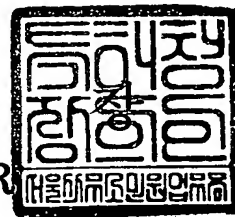
출원인 : 주식회사 하이닉스반도체 외 1명  
Applicant(s) Hynix Semiconductor Inc., et al.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.05
【발명의 명칭】	실리콘 웨이퍼 및 그 제조방법
【발명의 영문명칭】	Silicon wafer and method of fabricating the same
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【출원인】	
【명칭】	주식회사 실트론
【출원인코드】	1-1998-096505-7
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	문영희
【성명의 영문표기】	MUN, Young Hee
【주민등록번호】	661220-1683711
【우편번호】	730-766
【주소】	경상북도 구미시 상모동 우방신세계 아파트 108-403
【국적】	KR
【발명자】	
【성명의 국문표기】	김건
【성명의 영문표기】	KIM, Kun
【주민등록번호】	670127-1041921
【우편번호】	730-771
【주소】	경상북도 구미시 옥계동 대백아파트 101-1504
【국적】	KR

**【발명자】**

**【성명의 국문표기】** 고정근  
**【성명의 영문표기】** KOH, Ghung Geun  
**【주민등록번호】** 670327-1648311  
**【우편번호】** 134-771  
**【주소】** 서울특별시 강동구 둔촌1동 주공아파트 135-302  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 피승호  
**【성명의 영문표기】** PYI, Seung Ho  
**【주민등록번호】** 660410-1042522  
**【우편번호】** 467-860  
**【주소】** 경기도 이천시 대월면 사동리 현대사원아파트 105-301  
**【국적】** KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의  
 한 출원심사 를 청구합니다. 대리인  
 신영무 (인)

**【수수료】**

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	42 면	42,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	47 항	1,613,000 원
<b>【합계】</b>		1,684,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 2단계 RTP(Rapid Thermal Processing) 방법을 사용하여 웨이퍼의 표면 영역에 존재하는 OiSF(Oxidation Induced Stacking Fault)와 미세 산소석출물을 제어함으로써 완벽한 반도체 소자 영역을 확보한 웨이퍼 및 그 제조방법을 제공한다. 2단계 급속 열처리를 행함으로써 결함 분포를 명확하게 제어하고 웨이퍼의 표면에서 일정한 깊이까지 완벽하게 이상적인 디바이스 활성 존(Device Active Zone)을 형성시키고, 또한 웨이퍼의 내부 영역(벌크 영역)에는 산소석출물과 벌크 적층결함(Bulk Stacking Fault)이 깊이방향으로 일정한 밀도를 가지도록 함으로써 내부 게터링(Internal Gettering) 효율을 극대화시킬 수 있다. 이러한 산소석출물과 벌크 적층결함(Bulk Stacking Fault)의 농도 프로파일이 벌크 영역에서 일정하도록 만들어 주기 위해서는 웨이퍼를 소정의 혼합 가스 분위기에서 2단계 급속 열처리 공정을 통하여 만들게 된다.

**【대표도】**

도 8

**【색인어】**

OiSF 링, 보이드, 벌크 적층결함(Bulk Stacking Fault), 산소석출물, 급속 열처리

【명세서】

【발명의 명칭】

실리콘 웨이퍼 및 그 제조방법{Silicon wafer and method of fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 방법으로 제조된 실리콘 웨이퍼의 결함 농도 프로파일을 도시한 도면이다.

도 2는 실리콘 단결정에서 점결함의 특성에 의한 결함 영역을 나타낸 도면이다.

도 3은 OiSF(Oxidation Induced Stacking Fault) 링(Ring)과 OiSF 디스크(Disk)의 형태를 설명하기 위하여 도시한 도면이다.

도 4는 다중 열처리 방법에 의한 결함 검출방법을 설명하기 위하여 도시한 도면이다.

도 5는 OiSF 디스크 트레이스(Disk Trace)를 가지는 웨이퍼에 대한 표면 미세결함의 평가결과를 나타낸 도면이다.

도 6은 보이드성 결함이 없는 결정에 존재하는 OiSF 링(Ring)과 OiSF 디스크(Disk)의 형태를 설명하기 위하여 도시한 도면이다.

도 7은 산소 석출 거동의 불균일한 특성을 보여주는 도면이다.

도 8은 본 발명의 실시예에 따른 실리콘 웨이퍼에 대한 벌크 적층결함(Bulk Stacking Fault)의 농도 프로파일을 개략적으로 나타낸 도면이다.

도 9는 본 발명의 바람직한 실시예에 따른 2단계 급속 열처리(Rapid Thermal Processing; RTP) 공정을 설명하기 위하여 도시한 도면이다.

도 10은 본 발명의 실시예에 따른 점결함을 조절하는 방법을 모델링(Modeling)을 통하여 설명하기 위하여 도시한 도면이다.

도 11은 본 발명의 실시예에 따라 제조된 실리콘 웨이퍼의 벌크 적층결함(bulk stacking fault) 밀도를 보여주는 그래프이다.

도 12는 웨이퍼 전면의 표면으로부터의 거리에 따른 BMD(Bulk Micro-Defect) 밀도를 도시한 그래프이다.

도 13은 본 발명의 실시예에 따라 제조된 실리콘 웨이퍼의 BMD(Bulk Micro-Defect)를 보여주는 광학현미경 사진이다.

도 14는 웨이퍼 중심으로부터의 거리에 따른 델타(Delta) [0i]를 도시한 그래프이다.

도 15는 웨이퍼 중심으로부터의 거리에 따른 BMD(Bulk Micro-Defect) 밀도를 도시한 그래프이다.

도 16은 웨이퍼 중심으로부터의 거리에 따른 디누드 존(DZ)의 깊이를 도시한 그래프이다.

도 17은 본 발명의 실시예에 따라서 제조된 실리콘 웨이퍼의 XRT(X-ray Topography) 결과를 나타낸 사진이다.

도 18은 본 발명의 실시예에 따른 실리콘 웨이퍼를 제조하기 위한 공정들을 설명하기 위하여 도시한 도면이다.

#### <도면의 주요 부분에 부호의 설명>

V: 베이컨시-리치 영역(vacancy rich region)

I: 인터스티셜-리치 영역(interstitial rich region)

V-Pure: 베이컨시-퓨어 영역(vacancy pure region)

I-Pure: 인터스티셜-퓨어 영역(interstitial pure region)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <24> 본 발명은 실리콘 웨이퍼 및 그 제조방법에 관한 것으로, 더욱 상세하게는 웨이퍼의 표면에서 일정한 깊이까지 완벽하게 이상적인 디바이스 활성 존(Device Active Zone)을 형성되고, 또한 웨이퍼의 내부 영역(벌크 영역)에는 산소석출물과 벌크 적층결함(Bulk Stacking Fault)이 깊이방향으로 일정한 밀도를 갖는 실리콘 웨이퍼 및 그 제조방법에 관한 것이다.
- <25> 일반적으로 실리콘 웨이퍼에서 문제가 되는 결함으로는, COP(Crystal Originate Particle), FPD(Flow Pattern Defect) 및 LSTD(Laser Scattering Tomography Defect) 등이 알려져 있다.
- <26> 웨이퍼의 표면층에 나타나는 COP는 암모니아와 과산화수소가 혼합된 용액(Standard Cleaning 1 용액)으로 반복 처리함으로써 관찰할 수 있는 0.09~0.12 $\mu$ m 정도의 결함으로서 웨이퍼 표면에 피트(Pit)로서 나타나게 된다. COP는 결정을 인상할 때 도입되는 결함의 일종으로 알려져 있다.



- <27> 산화막 내압과 관계가 있는 FPD는 불산, 중크롬산 칼륨계의 에칭액을 이용하여 선택 에칭함으로써 잔물결 모양으로 나타나는 결함으로 알려져 있다.
- <28> LSTD는 레이저 산란 토모그래피법(Laser Scattering Tomography)에 의해 검출되는 결함으로서, 결정 성장 중에 나타나는 미세 결함으로 알려져 있다.
- <29> 일반적인 실리콘 웨이퍼의 제조방법은, 단결정 잉곳(Ingot)을 만들기 위한 단결정 성장 공정과, 단결정 잉곳을 슬라이싱(Slicing)하여 얇은 원판 모양의 웨이퍼를 얻는 슬라이싱 공정과, 상기 슬라이싱 공정에 의해 얻어진 웨이퍼의 깨짐, 일그러짐을 방지하기 위해 그 외주부를 챔퍼링(Chamfering)하는 챔퍼링 공정과, 상기 웨이퍼를 평탄화하는 랩핑(Lapping) 공정과, 챔퍼링 및 랩핑된 웨이퍼에 잔류하는 가공변형을 제거하는 에칭 공정과, 상기 웨이퍼를 경면화하는 연마(폴리싱) 공정과, 연마된 웨이퍼를 세정하고 웨이퍼에 부착된 연마제나 이물질을 제거하는 세정 공정을 포함한다.
- <30> 초크랄스키(Czochralski; CZ)법으로 인상 성장된 실리콘 단결정을 상술한 공정들을 통해 가공하여 제작된 실리콘 웨이퍼는 산소 불순물을 많이 포함하고 있으며, 이 산소 불순물은 전위나 결함 등을 발생시키는 산소석출물이 된다. 이 산소석출물이 디바이스가 형성되는 표면에 존재하는 경우, 누설 전류 증대 및 산화막 내압 저하 등의 원인이 되어 반도체 소자의 특성에 큰 영향을 미친다.
- <31> 상술한 방법에 의해 제조된 일반적인 실리콘 웨이퍼는 웨이퍼의 전면으로부터 후면에 이르기까지 전위, 적층 결함 및 산소석출물 등이 존재하지 않는 디누드 존(Denuded Zone; DZ)이 표면으로부터 소정 깊이까지 확보되어야 한다. 그러나, 종래의 방법에 의해 제조된 실리콘 웨이퍼는 표면 영역에 산소석출물이 발생되어 누설 전류의 소오스(Source)로서 작용하게 된다.

<32> 이러한 일반적인 방법으로 잉곳으로 성장되고 슬라이싱된 실리콘 웨이퍼는 도 1에 도시된 바와 같은 결함의 농도 프로파일을 나타낸다. 도 1에 나타난 바와 같이 웨이퍼 중심부에서 결함의 농도가 가장 높고 에지부로 갈수록 결함의 농도가 낮아지는 컨벡스(Convex) 형태를 나타낸다.

<33> 한편, 상술한 보이드성 결함이나, 산소석출물 등의 내부 결함들은 결정성장 후 열처리 방법에 의해 제어될 수 있다. 이러한 열처리 방법으로는 확산로(Diffusion Furnace)를 이용한 방법이 있다. 확산로를 이용하는 경우, 일반적으로 1200℃ 이상의 고온에서 H<sub>2</sub> 또는 Ar 가스 분위기에서 약 1시간 이상 열처리하면 산소의 외방 확산 및 실리콘 재배열(silicon rearrangement)에 의하여 웨이퍼 표면 영역의 일부에 디바이스 퍼펙트 존(Device Perfect Zone)이 형성된다. 종래의 확산로를 이용한 방법은 일반적으로 웨이퍼 표면으로부터 약 10 $\mu$ m 까지 보이드성 결함 및 미세 산소석출물이 없는 무결함층을 만들 수 있다. 그러나 이 방법은 웨이퍼가 대구경화 되어짐에 따라서 고온 열처리에 따른 웨이퍼에 나타나는 슬립 전위(Slip Dislocation)의 제어나 고온 열처리에 따른 오염 제어에 많은 어려움을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명이 이루고자 하는 기술적 과제는 웨이퍼의 표면 근처에 디루드 존이 충분히 확보되고 웨이퍼의 벌크 영역에는 게터링 사이트(Gattering Site)로서 기능을 할 수 있는 벌크 적 층결함이 전체에 걸쳐 일정한 농도 분포를 갖는 실리콘 웨이퍼를 제공함에 있다.

<35> 본 발명이 이루고자 하는 또 다른 기술적 과제는 웨이퍼의 표면 근처에 디루드 존이 충분히 확보되고 웨이퍼의 벌크 영역에는 게터링 사이트(Gattering Site)로서 기능을 할 수 있는 벌크 적층결함이 전체에 걸쳐 일정한 농도 분포를 갖는 실리콘 웨이퍼의 제조방법을 제공함에 있다.

## 【발명의 구성 및 작용】

- <36> 본 발명은, 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에서, 상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디누드 존과, 상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디누드 존 및 상기 제1 디누드 존과 상기 제2 디누드 존 사이에 형성되고, 결함의 농도 프로파일이 웨이퍼 전면에서 후면 방향으로 일정하게 유지되는 분포를 갖는 벌크 영역을 포함하는 실리콘 웨이퍼를 제공한다.
- <37> 상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)일 수 있다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 BMD 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.
- <38> 상기 결함은 벌크 적층결함(Bulk Stacking Fault)일 수 있다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 벌크 적층결함의 결함 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.
- <39> 상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터 5 $\mu$ m~40 $\mu$ m의 범위내이다. 상기 제1 디누드 존 및 상기 제2 디누드 존은 산소석출물 및 벌크 적층결함이 제거된 무결함 영역이다.
- <40> 또한, 본 발명은, 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에서, 상기 전면과 후면 사이의 영역은, 상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디누드 존과, 상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디누드 존 및 상기 제1 디누드 존과 상기 제2 디누드 존 사이에 형성된 벌크 영역을 포함하되, 상기 웨이퍼 전면으로부터 상기 웨이퍼 후면 사이의 결함 농도 프로파일은 상기 웨이퍼 전

면 및 후면 사이의 중심부로부터 축대칭의 계단형 형태를 갖는데, 상기 벌크 영역은 상기 제1 디누드 존 및 상기 제2 디누드 존과의 경계에서 수직 상승한 농도 기울기를 갖고 벌크 영역 전체에 걸쳐 수평한 농도 기울기를 가지며, 상기 벌크 영역의 결함 농도 프로파일은 10% 편차 범위 내의 평평한 형태를 갖는 실리콘 웨이퍼를 제공한다.

- <41>       상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)일 수 있다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 벌크 영역에서 BMD 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.
- <42>       상기 결함은 벌크 적층결함(Bulk Stacking Fault)일 수 있다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 벌크 영역에서 벌크 적층결함의 결함 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.
- <43>       상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터  $5\mu\text{m} \sim 40\mu\text{m}$ 의 범위내이다.
- <44>       또한, 본 발명은, 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼를 준비하는 단계와, 상기 실리콘 웨이퍼에 대하여 베이컨시를 소비하여 산소석출물의 핵 형성을 가속화시켜 주기 위한 제1 급속 열처리를 실시하는 단계 및 상기 실리콘 웨이퍼 표면 근처 영역에 존재하는 상기 산소석출물의 핵들을 제거하고 상기 실리콘 웨이퍼 벌크 영역에 존재하는 상기 산소석출물의 핵들을 더욱 성장시켜 주기 위한 제2 급속 열처리를 실시하는 단계를 포함하는 실리콘 웨이퍼의 제조방법을 제공한다.
- <45>       상기 제2 급속 열처리 단계는 상기 제1 급속 열처리 단계보다 높은 온도에서 수행하는 것이 바람직하다.

- <46>      상기 제1 급속 열처리 단계는 1120℃~1180℃ 범위의 온도에서 수행하는 것이 바람직하다.
- <47>      상기 제2 급속 열처리 단계는 1200℃~1230℃ 범위의 온도에서 수행하는 것이 바람직하다.
- <48>      상기 제1 급속 열처리 단계는 1초~5초 범위의 시간 동안 수행하는 것이 바람직하다.
- <49>      상기 제2 급속 열처리 단계는 1초~10초 범위의 시간 동안 수행하는 것이 바람직하다.
- <50>      상기 제1 급속 열처리는 아르곤 가스와 암모니아 가스의 혼합 가스를 사용하는 것이 바람직하다.
- <51>      상기 제2 급속 열처리는 아르곤 가스를 사용하는 것이 바람직하다.
- <52>      상기 제1 급속 열처리 단계와 상기 제2 급속 열처리 단계는 동일한 장비 내에서 인-시츄(In-Situ)로 수행할 수 있다.
- <53>      제1 급속 열처리 단계와 상기 제2 급속 열처리 단계는 익스-시츄(Ex-Situ)로 수행할 수 있다.
- <54>      상기 실리콘 웨이퍼를 준비하는 단계는, 씨드 결정(Seed Crystal)을 용융 실리콘에 담그고 결정성장 속도와 결정의 응고 계면에서의 성장 방향의 온도 구배를 조절하면서 인상하여 실리콘 단결정을 성장시키는 단계와, 성장된 실리콘 단결정을 웨이퍼의 형태로 슬라이싱하는 단계 및 슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을 라운딩하거나 표면을 식각하기 위한 에칭 공정을 실시하는 단계를 포함할 수 있다.
- <55>      상기 제1 급속 열처리 단계와 상기 제2 급속 열처리 단계는, 상기 실리콘 웨이퍼 내에 포함된 결정성장시 발생한 산소가 후속의 열처리 과정에서 전자를 방출하여 도너 역할을 하는

것을 방지하기 위하여 산소석출물로 만들어주는 공정인 도너 킬링(donar killing) 공정 단계에서 수행하는 것이 바람직하다.

- <56>       상기 제2 급속 열처리 단계 후에, 상기 실리콘 웨이퍼 표면을 폴리싱하는 단계와, 상기 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계 및 상기 실리콘 웨이퍼를 세정하는 단계를 더 포함할 수 있다.
- <57>       상기 제1 및 제2 급속 열처리 단계 후에, 상기 상기 전면과 후면 사이의 영역은, 상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디누드 존과, 상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디누드 존 및 상기 제1 디누드 존과 상기 제2 디누드 존 사이에 구비된 벌크 영역을 포함하되, 상기 벌크 영역의 결함 농도 프로파일은 웨이퍼 전면에서 후면 방향으로 일정하게 유지되는 분포를 갖는다.
- <58>       상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)일 수 있다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 BMD 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.
- <59>       상기 결함은 벌크 적층결함(Bulk Stacking Fault)일 수 있다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 벌크 적층결함의 결함 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.
- <60>       상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터 5 $\mu$ m~40 $\mu$ m의 범위내이다.
- <61>       또한, 본 발명은, (a) 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼를 준비하는 단계와, (b) 상기 실리콘 웨이퍼를 급속 열처리 장비에 로딩하

는 단계와, (c) 상기 급속 열처리 장비 내의 온도를 목표하는 제1 온도로 급격히 상승시키는 단계와, (d) 상기 제1 온도에서 상기 실리콘 웨이퍼에 대하여 베이컨시를 소비하여 산소석출물의 핵 형성을 가속화시켜 주는데 필요한 시간 동안 유지하여 제1 급속 열처리를 실시하는 단계와, (e) 상기 급속 열처리 장비 내의 온도를 제2 온도로 급격히 하강시키는 단계와, (f) 상기 급속 열처리 장비 내의 온도를 상기 제1 온도보다 높은 제3 온도로 급격히 상승시키는 단계와, (g) 상기 웨이퍼 표면 영역 또는 표면 근처 영역에 존재하는 상기 산소석출물의 핵들을 제거하고 상기 실리콘 웨이퍼 벌크 영역에 존재하는 상기 산소석출물의 핵들을 더욱 성장시켜 주는데 필요한 시간 동안 상기 제3 온도에서 유지하여 제2 급속 열처리를 실시하는 단계 및 (h) 상기 급속 열처리 장비 내의 온도를 제4 온도로 급격히 하강시키는 단계를 포함하는 실리콘 웨이퍼의 제조방법을 제공한다.

- <62>        상기 제1 급속 열처리는 1120℃~1180℃ 범위의 온도에서 수행하는 것이 바람직하다.
- <63>        상기 제2 급속 열처리는 1200℃~1230℃ 범위의 온도에서 수행하는 것이 바람직하다.
- <64>        상기 제1 급속 열처리는 1초~5초 범위의 시간 동안 수행하는 것이 바람직하다.
- <65>        상기 제2 급속 열처리는 1초~10초 범위의 시간 동안 수행하는 것이 바람직하다.
- <66>        상기 (b) 단계 내지 상기 (h) 단계 동안에는 아르곤 가스를 계속하여 공급하여 주고, 상기 (d) 단계 동안에는 암모니아 가스를 공급하고 상기 (e) 단계 내지 상기 (h) 단계 동안에는 상기 암모니아 가스의 공급을 차단하는 것이 바람직하다.
- <67>        상기 실리콘 웨이퍼를 준비하는 단계는, 씨드 결정(Seed Crystal)을 용융 실리콘에 담고 결정성장 속도와 결정의 응고 계면에서의 성장 방향의 온도 구배를 조절하면서 인상하여 실리콘 단결정을 성장시키는 단계와, 성장된 실리콘 단결정을 웨이퍼의 형태로 슬라이싱하는 단

계 및 슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을 라운딩하거나 표면을 식각하기 위한 에칭 공정을 실시하는 단계를 포함할 수 있다.

<68>        상기 (b) 내지 상기 (h) 단계는, 상기 실리콘 웨이퍼 내에 포함된 결정성장시 발생한 산소가 후속의 열처리 과정에서 전자를 방출하여 도너 역할을 하는 것을 방지하기 위하여 산소석출물로 만들어주는 공정인 도너 킬링(donor killing) 공정 단계에서 수행하는 것이 바람직하다.

<69>        상기 (h) 단계 후에, 상기 급속 열처리 장비에서 상기 실리콘 웨이퍼를 언로딩하는 단계와, 상기 실리콘 웨이퍼 표면을 폴리싱하는 단계와, 상기 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계 및 상기 실리콘 웨이퍼를 세정하는 단계를 더 포함할 수 있다.

<70>        상기 (h) 단계 후에, 상기 상기 전면과 후면 사이의 영역은, 상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디뉴드 존과, 상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디뉴드 존 및 상기 제1 디뉴드 존과 상기 제2 디뉴드 존 사이에 구비되는 벌크 영역을 포함하되, 상기 벌크 영역의 결함 농도 프로파일은 웨이퍼 전면에서 후면 방향으로 일정하게 유지되는 분포를 갖는다.

<71>        상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)일 수 있다. 상기 제1 디뉴드 존과 상기 제2 디뉴드 존 사이의 영역에서 BMD 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.

<72>        상기 결함은 벌크 적층결함(Bulk Stacking Fault)일 수 있다. 상기 제1 디뉴드 존과 상기 제2 디뉴드 존 사이의 영역에서 벌크 적층결함의 결함 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는다.



- <73>       상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터  $5\mu\text{m}$ ~ $40\mu\text{m}$ 의 범위내이다.
- <74>       이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <75>       본 발명은 2단계 RTP(Rapid Thermal Processing) 방법을 사용하여 웨이퍼의 표면 영역에 존재하는 OiSF(Oxidation Induced Stacking Fault)와 미세 산소석출물을 제어함으로써 완벽한 반도체 소자 영역을 확보한 웨이퍼 및 그 제조방법을 제공한다. 2단계 급속 열처리를 행함으로써 결함 분포를 명확하게 제어하고 웨이퍼의 표면에서 일정한 깊이까지 완벽하게 이상적인 디바이스 활성 존(Device Active Zone)을 형성시키고, 또한 웨이퍼의 내부 영역(벌크 영역)에는 산소석출물과 벌크 적층결함(Bulk Stacking Fault)이 깊이방향으로 일정한 밀도를 가지도록 함으로써 내부 게터링(Internal Gettering) 효율을 극대화시킬 수 있다. 이러한 산소석출물과 벌크 적층결함(Bulk Stacking Fault)의 농도 프로파일이 벌크 영역에서 일정하도록 만들어 주기 위해서는 웨이퍼를 소정의 혼합 가스 분위기에서 2단계 급속 열처리 공정을 통하여 만들게 된다. 이와 같이 OiSF(Oxidation Induced Stacking Fault) 링(Ring)이나 OiSF 디스크(Disk)가 웨이퍼 표면이나 근처에 존재하게 됨으로써 디바이스에 치명적인 영향을 주게 되는 것을 이상적으로 제어함으로써 웨이퍼 표면 근방에 이상적인 디바이스 동작영역을 확보하고 또한 웨이퍼

벌크 영역내에는 고밀도 벌크 적층결함(Bulk Stacking Faults)과 산소석출물이 균일한 분포를 갖는 웨이퍼를 제조할 수 있다.

<76> 도 2는 실리콘 단결정에서 점결함의 특성에 의한 결함 영역을 나타낸 도면이며, 단결정 인상속도를 변화시킨 경우 나타나는 현상을 XRT(X-ray Topography)로 측정한 결과로서 일반적으로 양산용으로 만들어지는 실리콘 웨이퍼는 이 잉곳의 일부 영역을 슬라이싱하여 만들게 된다. 도 2는 잉곳을 중심축 방향, 즉 실리콘 단결정의 성장방향으로 절단하여 측정한 결과로서, X축은 잉곳의 에지(Edge)에서 에지(Edge)까지를 나타내고 Y축은 단결정의 성장방향(중심축 방향)을 나타낸다. 도 2에서 'V'로 표시된 영역은 베이컨시-리치 영역(vacancy rich region)을 나타내고, 'I'는 인터스티셜-리치 영역(interstitial rich region)을 나타내며, 'V-Pure'는 베이컨시-퓨어 영역(vacancy pure region)을 나타내고, 'I-Pure'는 인터스티셜-퓨어 영역(interstitial pure region)을 나타낸다.

<77> 본 발명은 결정성장 기술에 따른 결정 특성과 아주 밀접한 관련이 있으며, 이러한 결정 성장 조건에 따라서 도 2에서 보여지는 바와 같은 특성을 보일 수 있다. 그러나 도 2에서 보여지는 바와 같이 P-밴드(P-band)를 이상적으로 제어하여 결정성장(grown-in) 결함을 완벽하게 제거한 결정성장 조건을 찾는 것이 쉽지 않으며, 또한 결정 성장 조건을 찾는다 하더라도 결정 성장시 결정 인상 속도의 변화폭이 아주 좁은 관계로 결정인상 속도의 변화 폭이 약간이라도 바뀌게 되는 경우 도 3과 같이 OiSF 링 트레이스(Ring Trace)(도 3a 참조) 또는 OiSF 디스크 트레이스(Disk Trace)(도 3b 참조)들이 나타나게 된다. 결정성장 결함이 완벽하게 제어된 결정 특성을 가지는 웨이퍼에서도 OiSF 트레이스는 웨이퍼 내에 내재되어 있으며, 이러한 OiSF 트레이스들이 궁극적으로 반도체 소자 제조 공정을 거치면서 웨이퍼 표면 영역으로 돌출하게 됨으로써 디바이스 페일(device fail)의 원인이 된다.

<78> 일반적으로 실리콘 웨이퍼를 제조하기 위하여 초크랄스키(Czochralski; CZ) 방법으로 실리콘 단결정을 성장시키는데, 결정 성장과정에서 형성되는 결정성장 결함 종류에 따라 영역을 구분할 수 있으며, 이는 결함 영역에 따라 산소 석출 거동을 달리하고 있기 때문이다. 도 2에서는 실리콘 단결정에서 나타나는 결정성장 결함 영역을 구분하여 놓았다. 도 2는 결정성장 속도를 변화시켜 실리콘 단결정을 성장시킨 후 성장 축 방향으로 절단하고 산소 석출 열처리를 한 후 XRT(X-ray Topography)로 측정한 결과로서, 각 결함 영역간 명암(Contrast)의 차는 산소 석출 정도에 의해 입사된 X-레이(X-ray)의 산란정도를 나타내는 것이다. 이를 통해서 각 결함 영역의 산소 석출 정도를 비교할 수 있다. 실리콘 단결정에서 서로 다른 결함 영역의 형성은 결정성장 속도(V)와 결정의 응고 계면에서의 성장 방향의 온도 구배(G)에 의한 베이컨시(Vacancy)와 인터스티셜(Interstitial) 실리콘의 거동 변화에 영향을 받는다. V/G가 임계값( $\xi$ )보다 크면, 베이컨시가 지배적인 점결함으로 나타나는 베이컨시-리치 영역이 형성되며, 이러한 베이컨시-리치 영역에서 나타나는 결함들은 평가방법에 따라서 COP(Crystal Originated Particle), FPD(Flow Pattern Defects), LSTD(Laser Scattering Tomography Defects)로 나눌 수 있으며, 이는 GOI(gate oxide integrity) 특성을 저하시킨다. 이들 결함들의 근원(Origin)은 팔면체 공동(Octahedral Void)으로 알려져 있다. 그러나, V/G가 임계값( $\xi$ )보다 적으면, 인터스티셜-리치 영역으로 인터스티셜 실리콘이 지배적인 점결함으로 구성되게 된다. 이 인터스티셜-리치 영역에서는 인터스티셜 실리콘의 집합체에 의해 형성되어지는 큰 전위 입자(Large Dislocation Particle; LDP)가 형성된다. 또한 베이컨시-리치 영역의 가장 자리에는 고온에서도 매우 안정적인 산화물 결함 영역이 나타나고 있으며, 이 결함은 인터스티셜 실리콘에 의해 형성되어진다.

- <79> 이 산화물 결함 영역은 링(Ring) 형태로 형성되며, 습식 산화(Wet Oxidation) 후에 나타나는 적층 결함(Stacking Fault)을 OiSF 링(Ring)이라고 칭하기로 한다. OiSF 링 영역은 산소 석출에 매우 안정적이며, OiSF 링 안쪽에 산소 석출이 이상적으로 증가하는 영역이 존재하고 있다.
- <80> 일반적인 실리콘 단결정에서는 베이컨시-리치 영역이 단독적으로 존재하거나 OiSF 링 영역이 혼재하고 있는 결정이 대부분이지만, OiSF 링을 완전하게 잉곳(Ingots)의 중심(Center) 방향으로 완벽하게 제거함으로써 베이컨시-리치 영역에서 존재하는 보이드(void)성 결함이 완벽하게 제거된 무결함 결정이 만들어지게 된다. 무결함 결정은 결정의 성장 및 냉각 과정에서의 열이력 조절을 통하여 보이드성 결함이 형성되지 못한 결정을 말한다. 이들 결정의 영역은 베이컨시-퓨어 영역과 인터스티셜-퓨어 영역으로 나눌 수 있다. 베이컨시-퓨어 영역은 COP 등의 보이드성 결함이 형성되지 못하였거나 현재의 분석방법으로 검출할 수 없는 매우 작은 크기의 베이컨시 관련 결함이 형성된 영역으로 산소 석출 정도가 크게 나타난다. 또한 인터스티셜-퓨어 영역은 인터스티셜 실리콘의 농도가 매우 높으면서도 큰 전위 입자(LDP)가 형성되지 않은 영역을 말한다.
- <81> 이러한 보이드성 결함이나 OiSF 링을 제어하기 위하여 많은 연구가 있어 왔으며, 특히 보이드성 결함을 제어하기 위해서 도 2에서 보여지는 바와 같이 단결정 성장시 결정성장 조건을 조절하여 베이컨시-퓨어 또는 인터스티셜-퓨어 영역만으로 되어 있는 결정을 개발함으로써 완벽하게 보이드성 결정 결함과 OiSF 링을 제거함으로써 이상적인 웨이퍼를 제조하는 것이 바람직하다. 그러나 이 결정성장 조건은 결정성장시 여러가지 많은 변수(풀링 속도(Pulling Speed)의 잦은 변동이나 핫존(Hot Zone) 구조의 복잡성, 그로우어 하드웨어(Grower Hardware)

구조의 한계 등)들로 인하여 양산 기술을 확보하는 것은 무척 어려우며, 또한 생산성 확보에 많은 어려움을 가지고 있다.

<82> 그러므로 도 3과 같이 웨이퍼 에지(edge) 쪽에 OiSF 링(도 3a)이나 웨이퍼 중심 영역에 OiSF 디스크(Disk)(도 3b) 등이 내재 되어져 있는 결정성장이 이루어진 웨이퍼가 제조되게 된다. 물론 상기에서 언급한 웨이퍼 에지 쪽에 형성된 OiSF 링(도 3a)나 웨이퍼 중심 영역에 형성된 OiSF 디스크(도 3b)가 디바이스 제작시 벌크 내부에 존재하는 경우, 디바이스 전기적 특성이나 GOI 특성 등에 영향을 주지 않을 수 있지만, 웨이퍼 표면이나 표면 근처(Near Surface)(약 웨이퍼 표면에서 3~4 $\mu$ m 내외) 영역 내에 존재하는 경우 디바이스 전기적 특성에 치명적인 영향을 주게 된다. 그러므로 이러한 영향을 배제하기 위해서는 5 $\mu$ m 이상의 퍼펙트 디바이스 존(Perfect Device Zone)을 가질 수 있는 웨이퍼를 제조할 수 있는 공법 및 제품을 개발하는 것이 중요하다.

<83> 이러한 결함 검출 방법으로서, 일반적으로 확산로(diffusion furnace)를 이용하여 800℃에서 4시간 열처리를 한후 1000℃에서 16시간 열처리를 행하여 OiSF 링 트레이스의 거동을 관찰하여 왔다. 그러나 OISF 링 트레이스의 경우, 결정성장시 형성되는 핵(nuclei)들이 아주 작아 일반적인 평가방법으로는 이러한 OiSF 링 트레이스의 관찰이 아주 어렵다. 그러므로 OiSF 링 트레이스를 관찰하기 위해서는 좀 더 정확한 평가방법이 필요하다. 본 발명의 실시예에서는 다중 열처리 방법을 이용한 웨이퍼 결함 검출방법을 도입하여 거의 완벽하게 결정특성과 관련한 결함 특성을 관찰한다. 이러한 평가 방법을 통하여, 일정한 표면 영역에 완벽하게 퍼펙트 디바이스 존(Pefect Device Zone)을 확보하여야만 이상적인 웨이퍼라고 할 수 있다. 다중 열처리 방법에 의한 결함 검출방법은 웨이퍼에서 전형적으로 나타나게 되는 성장(Growing) 특성을 그대로 반영하여 결함의 검출이 가능하다.

- <84> 본 발명에서 도입한 다중 열처리 방법에 의한 결함 검출방법을 도 4에서 보여주고 있다. 일반적인 열처리를 이용한 결함 검출방법을 통하여 평가한 결과는 도 5a에서 보여지는 바와 같이 OiSF 디스크가 존재하지 않는 것처럼 보이나, 본 발명에서 도입한 다중 열처리를 이용한 결함 검출방법을 통하여 평가한 결과 도 5b에서 보여지는 바와 같이 OiSF 디스크가 존재하는 것을 관찰할 수 있다. 본 발명은 다중 열처리를 이용한 결함 검출방법에 의하여 평가하여 DZ(Denuded Zone) 값이  $5\mu\text{m}$  이상을 나타낼 수 있는 웨이퍼 및 그 제조방법을 제시한다.
- <85> 도 5는 OiSF 디스크 트레이스를 가지는 웨이퍼에 대한 표면 미세결함의 평가결과를 나타낸 도면이다. OiSF 디스크 트레이스를 가지는 웨이퍼에 대하여 표면에서 벌크 방향으로  $5\mu\text{m}$  제거한 후 파티클 카운터(Particle Counter)로 측정한 결과이다.
- <86> 도 5a에서 보여지는 바와 같이 종래의 방법으로 제조된 웨이퍼에 대하여 일반적인 열처리를 이용한 결함 검출방법을 통하여 평가한 결과에서는 OiSF 디스크(Disk) 형태로 존재하는 결함들이 전혀 존재하지 않는 것처럼 보이지만, 도 5b에서 보여지는 바와 같이 종래의 방법으로 제조된 웨이퍼에 대하여 다중 열처리 방법을 이용한 결함 검출방법을 통하여 웨이퍼를 평가하는 경우, 웨이퍼 표면 영역에 OiSF 디스크가 존재하고 있음을 알 수 있다. 이는 종래의 웨이퍼들은 다중 열처리를 이용한 결함 검출방법을 통하여 평가하는 경우, 웨이퍼 표면 영역(약  $3\mu\text{m}$  근처 영역)에 결함들이 존재함을 간접적으로 알 수 있다.
- <87> 도 6은 보이드성 결함이 없는 결정에 존재하는 OiSF 링(Ring)과 OiSF 디스크(Disk)의 형태를 설명하기 위하여 도시한 도면이다. 보이드성 결함이 없는 결정을 성장시킬 때 일반적으로 결정내에 분포하게 되는 OiSF의 형태를 설명한 것으로 이들이 실리콘 웨이퍼에 존재하는 경우 분포형태에 따라서 링(Ring)과 (Disk) 형태로 존재한다. 도 6a는 잉곳을 중심축 방향, 즉 단결정의 성장방향으로 절단하여 측정한 결과로서, X축은 잉곳의 에지(Edge)에서 에지(Edge)까지를



나타내고 Y축은 단결정의 성장방향(중심축 방향)을 나타낸다. 도 6b는 도 6a의 잉곳에 대하여 단결정의 성장방향(중심축 방향)에 대하여 수직하게 절단한 실리콘 웨이퍼의 OiSF 형태를 보여주 위한 것으로, A 타입(A-type)은 도 6a의 I-I' 단면으로 슬라이싱된 실리콘 웨이퍼를 나타내고, B 타입(B-type)은 도 6a의 II-II' 단면으로 슬라이싱된 실리콘 웨이퍼를 나타내며 OiSF가 디스크(Disk) 형태로 나타나는 것을 보여주며, C-타입(C-type)은 도 6a의 III-III' 단면으로 슬라이싱된 실리콘 웨이퍼를 나타내며 OiSF가 링(Ring) 형태로 나타나는 것을 보여준다.

<88> CZ법으로 육성된 보이드성 결함이 없는 실리콘 단결정의 경우, 산소 석출과 관련한 결함이 주를 이루며, COP는 없지만 영역별로 점결함들이 존재하며 베이컨시가 우세한 영역을 Pv 영역, 인터스티셜이 우세한 영역을 Pi 영역으로 구분한다. 이런 특성(Pi, Pv)은 결정성장 열 이력(Thermal History)에 따라 영역 범위가 결정되고, 도 7에서 보여지는 바와 같이 산소 석출 거동이 불균일한 특성을 나타낸다. 산소 석출과 관련하여 Pv와 Pi 영역에 존재하는 점결함들, 특히 베이컨시들은 디바이스 열 시뮬레이션 사이클(device thermal simulation cycle)에 의한 열처리시 디바이스 활성층에 미세 산소석출물로 성장할 수 있는 핵으로도 작용할 수 있고 이런 석출물들이 웨이퍼 표면이나 표면 근처 영역에 존재하는 경우, PN 접합 누설 전류(leakage current)를 증가시키는 요인으로 디바이스 전기적 특성에 치명적인 영향을 준다. 이러한 영향은 디바이스가 고집적화 되어 디자인 룰(design rule)이 감소됨에 따라서 디바이스 전기적 특성에 더 큰 영향을 미칠 수 있다.

<89> 보이드성 결함이나, 산소석출물 등의 내부 결함들을 제어하는 방법에는 단결정 성장시 제어하는 방법과 결정성장 후 열처리 방법에 의하여 제어하는 방법이 있다. 이러한 열처리 방법으로는 확산로(Diffusion Furnace)를 이용한 방법이나 할로젠 램프를 이용한 RTP(Rapid Thermal Processing) 방법이 있다. 확산로를 이용하는 경우, 일반적으로 1200℃ 이상의 고온에



서 H<sub>2</sub> 또는 Ar 가스 분위기에서 약 1시간이상 열처리하면 산소의 외방 확산 및 실리콘 재배열 (silicon rearrangement)에 의하여 웨이퍼 표면 영역의 일부에 디바이스 퍼펙트 존(Device Perfect Zone)이 형성된다. 그러나 이 방법은 웨이퍼가 대구경화 되어짐에 따라서 고온 열처리에 따른 웨이퍼에 나타나는 슬립 전위(Slip Dislocation)의 제어나 고온 열처리에 따른 오염 제어에 많은 어려움을 가지고 있다. 또한, 기존의 RTP 방법으로 제조된 실리콘 웨이퍼들은 다중 열처리를 이용한 결함 검출방법으로 평가하는 경우, 표면으로부터 약 3~4 $\mu$ m 내의 미세 산소 석출물 제어만이 가능하고 또한 완벽한 OiSF 링 제어는 거의 불가능하다. 그러므로 본 발명은 디바이스 활성영역에 존재하는 미세 보이드성 결함 및 미세 산소석출물을 완벽하게 제거함으로써 퍼펙트 디바이스 존(Perfect Device Zone)을 확보하고, 또한 웨이퍼 벌크 영역 내에는 일정한 수준 이상의 벌크 적층결함(Bulk Stacking Fault)을 형성함으로써 게터링(Gettering) 특성까지 강화할 수 있는 차별화된 2단계 급속 열처리 방법을 제시한다.

<90> 도 8은 본 발명의 바람직한 실시예에 따른 실리콘 웨이퍼에 대한 결함의 농도 프로파일을 개략적으로 나타낸 도면이다. 본 발명의 바람직한 실시예에 따라 제조된 실리콘 웨이퍼는 웨이퍼의 전면 및 후면으로부터 일정 깊이에는 이르는 표면 영역은 벌크 적층결함이 거의 존재하지 않고, 벌크 영역에는 게터링 역할을 할 수 있는 충분한 벌크 적층결함이 전체 벌크 영역에 걸쳐 일정하게 유지된다. 벌크 영역 내에 충분하고 일정하게 존재하는 벌크 적층결함은 금속 불순물들을 충분하게 게터링하는 역할을 수행하게 된다. 따라서, 전체 벌크 영역내에서 충분하고 일정하게 존재하는 벌크 적층결함에 의해 후속의 열처리 공정 등에 의해 웨이퍼 표면으로 외방 확산되는 금속 오염 물질들을 충분히 게터링함으로써, 표면으로 외방 확산되는 금속 오염 물질의 양을 현저하게 감소시킬 수 있다.



<91> 도 8을 참조하여 더욱 구체적으로 설명하면, 웨이퍼 전면의 표면으로부터 소정 깊이(예컨대,  $5\mu\text{m} \sim 40\mu\text{m}$ )까지는 벌크 적층결합이 존재하지 않은 표면 영역인 제1 디누드 존이 형성되고, 웨이퍼 후면의 표면으로부터 소정 깊이(예컨대,  $5\mu\text{m} \sim 40\mu\text{m}$ )까지는 벌크 적층결합이 존재하지 않은 표면 영역인 제2 디누드 존이 형성되는데, 제1 디누드 존과 제2 디누드 존 사이의 벌크 영역은 결합의 농도 프로파일이 편차가 거의 없이 일정하고 수평한 기울기를 갖는다. 전체적으로 웨이퍼의 결합 농도 프로파일을 관찰해보면, 웨이퍼 전면으로부터 웨이퍼 후면 사이의 결합 농도 프로파일은 웨이퍼 전면 및 후면 사이의 중심부로부터, 축대칭의 계단형 형태를 갖는데, 벌크 영역은 제1 디누드 존 및 제2 디누드 존과의 경계에서 수직 상승한 농도 기울기를 갖고 벌크 영역 전체에 걸쳐 편차가 적은 수평한 농도 기울기(예컨대, 10% 편차 범위 내의 평평한 형태)를 갖는다. 상기 결합이 벌크 적층결합일 경우, 벌크 영역에서 벌크 적층결합의 결합 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9 \text{ ea/cm}^3$ 의 범위에서 일정하게 유지되는 분포를 갖는다. 상기 결합이 산소석출물과 벌크 적층결합을 포함하는 의미의 BMD(Bulk Micro-Defect)일 경우, 벌크 영역에서 BMD 결합의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10} \text{ ea/cm}^3$ 의 범위에서 일정하게 유지되는 분포를 갖는다. 이에 대하여는 뒤에서 더욱 구체적으로 설명한다.

<92> 도 9는 본 발명의 바람직한 실시예에 따른 2단계 급속 열처리(Rapid Thermal Processing; RTP) 공정을 설명하기 위하여 도시한 도면이다. 본 발명의 실시예에 따른 RTP 장비(퍼니스)는 일반적으로 상용화된 장비를 사용할 수 있다.

<93> 도 9를 참조하면, 먼저, 쇼크랄스키 방법으로 결정성장된 잉곳을 슬라이싱하여 만들어진 실리콘 웨이퍼를 RTP 장비에 로딩(loading)한다. 이때, RTP 장비의 온도는 약  $700^\circ\text{C}$  정도로 설정되어 있는 것이 바람직하다. 이어서, RTP 장비 내의 온도를 제1 온도(예컨대,  $1120^\circ\text{C} \sim 1180^\circ\text{C}$ )까지 소정의 제1 온도 상승률(ramp-up rate)(예컨대, 약  $50^\circ\text{C/sec}$ )로 급격히 증가시킨다.



RTP 장비 내의 온도가 목표하는 제1 온도까지 상승하면 제1 온도에서 일정 시간(예컨대, 1~5초) 동안 유지한다. 다음에, RTP 장비 내의 온도를 제2 온도(예컨대, 800℃)까지 소정의 제1 온도 하강률(ramp-down rate)(예컨대, 약 70℃/sec)로 급격히 감소시킨다. 이때, 상기 제2 온도는 로딩시에 설정된 온도 보다는 높거나 같은 온도인 것이 바람직하다. 상기와 같은 과정들을 통해 제1 급속 열처리 공정이 이루어지게 된다. 상기 제1 급속 열처리 단계 동안은 아르곤(Ar)과 같은 불활성 가스를 계속적으로 흘려주고, 제1 온도가 유지되는 동안에는 암모니아(NH<sub>3</sub>) 가스를 공급해주고 제2 온도로 하강시에는 암모니아 가스의 공급을 차단하는 것이 바람직하다.

<94> 이어서, 상기 제2 온도에서 일정 시간 유지한 후, RTP 장비 내의 온도를 제3 온도(예컨대, 1200℃~1230℃)까지 소정의 제2 온도 상승률(예컨대, 약 50℃/sec)로 급격히 증가시킨다. RTP 장비 내의 온도가 목표하는 제3 온도까지 상승하면 제3 온도에서 일정 시간(예컨대, 1~10초) 동안 유지한다. 상기 제3 온도는 상기 제1 온도보다는 높은 온도이다. 다음에, RTP 장비 내의 온도를 제4 온도(예컨대, 700℃)까지 소정의 제2 온도 하강률(ramp-down rate)(예컨대, 약 50℃/sec)로 급격히 감소시킨다. 상기 제4 온도는 로딩시에 설정된 온도인 것이 바람직하다. 또한, 상기 제2 온도 하강률은 제1 단계에서의 제1 온도 하강률보다는 작도록 하는 것이 바람직하다. 상기와 같은 과정들을 통해 제2 급속 열처리 공정이 이루어지게 된다. 상기 제2 급속 열처리 동안은 아르곤(Ar)과 같은 불활성 가스를 계속적으로 흘려준다. 도 9를 참조하여 설명한 본 발명의 실시예에 의할 경우, 실리콘 웨이퍼의 벌크 적층결함 농도 프로파일은 웨이퍼의 전면 및 후면으로부터 일정 깊이로 이르는 표면 영역은 벌크 적층결함이 거의 존재하지 않고, 벌크 영역에는 게터링 역할을 할 수 있는 충분한 벌크 적층결함이 전체 벌크 영역에 걸쳐 일정하게 유지된다. 일반적으로 벌크 적층결함의 핵은 수~수백 nm의 크기로 매우 불균일한 크

기로 존재하는데, 임계 크기 이상의 핵은 본 발명의 2단계 급속 열처리 공정을 거치면서 성장하여 벌크 적층결함을 형성하게 된다.

<95> 상술한 실시예에서 언급한 2단계 급속 열처리 공정에 의하여 도 8을 참조하여 설명한 실리콘 웨이퍼의 결함 농도 프로파일을 얻을 수 있는데, RTP 장비, 열처리 온도, 열처리 시간, 온도 상승률, 온도 하강률, 분위기 가스의 종류, 유량, 혼합비 등에 따라 약간의 차이가 있을 수 있으나, 2단계 급속 열처리를 이용하여 벌크 영역에서 충분하고 균일한 결함 농도 프로파일은 얻는 모든 기술적 사상들은 본 발명의 실시예에 포함된다고 할 것이다.

<96> 도 10은 본 발명의 실시예에 따른 점결함을 조절하는 방법을 모델링(Modeling)을 통하여 설명하기 위하여 도시한 도면이다. 도 10에서, (a), (b), (c), (d) 및 (e)는 베이컨시, 인터스티셜 실리콘, 인터스티셜 산소, 산소석출물, 벌크 적층결함을 각각 나타낸다.

<97> 도 10을 참조하면, 제1 단계 급속 열처리에서 베이컨시를 소비하여 미세 산소석출물들의 핵 형성을 가속화 시켜주고, 제2 급속 열처리를 통하여 실리콘 웨이퍼 표면 근처 영역에 존재하는 미세 산소석출물의 핵들을 제거시키고 실리콘 웨이퍼 벌크 내부영역에 존재하는 산소석출물의 핵들을 고밀도로 더욱 더 성장시켜 반도체 디바이스 제작시 벌크 적층결함(Bulk Stacking Fault)으로 만들어주어 게터링(Gettering) 효율을 높여줄 수 있다.

<98> 도 11은 본 발명의 실시예에 따라 제조된 실리콘 웨이퍼의 벌크 적층결함(bulk stacking fault) 밀도를 보여주는 그래프이다. 본 발명의 실시예에 따라 2단계 급속 열처리를 한 후, 습식 에칭( $\text{NH}_3$ 와  $\text{H}_2\text{O}_2$  및  $\text{H}_2\text{O}$ 가 소정의 비율로 혼합된 용액)을 3분 동안 행한 후 광학현미경으로 측정한 결과이다.

- <99> 도 11을 참조하면, A 조건(A Condition)은 제1 온도(1170℃)에서 5초 동안 유지하는 제1 열처리 단계와, 제3 온도(1230℃)에서 10초 동안 유지하는 제2 열처리 단계로 이루어졌다.
- <100> B 조건(B Condition)은 제1 온도(1150℃)에서 5초 동안 유지하는 제1 열처리 단계와, 제3 온도(1215℃)에서 10초 동안 유지하는 제2 열처리 단계로 이루어졌다.
- <101> C 조건(C Condition)은 제1 온도(1130℃)에서 5초 동안 유지하는 제1 열처리 단계와, 제3 온도(1200℃)에서 10초 동안 유지하는 제2 열처리 단계로 이루어졌다.
- <102> A 조건, B 조건 및 C 조건은 모두 공통적으로 제1 온도 상승률은 50℃/sec로 하였고, 제1 온도 하강률은 70℃/sec로 하였으며, 제2 온도 상승률은 50℃/sec로 하였고, 제2 온도 하강률은 50℃/sec로 하여 제4 온도(700℃)까지 하강시켰다. 또한, A 조건, B 조건 및 C 조건은 모두 공통적으로 제1 및 제2 열처리 단계에서 아르곤(Ar) 가스를 사용하였고, 제1 온도를 유지하는 동안에는 암모니아(NH<sub>3</sub>) 가스를 공급하였다. 이때, 제1 온도를 유지하는 동안에는 아르곤(Ar) 가스는 3.75slm의 유량으로 공급하였으며, 암모니아(NH<sub>3</sub>) 가스는 0.25slm의 유량으로 공급하였다. 또한, 제1 온도를 유지하는 동안에는 아르곤 가스와 암모니아 가스를 공급하였으나, 제1 온도를 유지하는 동안 이외에는 제1 열처리 단계와 제2 열처리 단계 모두에서 아르곤 가스를 사용하였으며, 이때 아르곤 가스는 4slm의 유량으로 공급하였다.
- <103> 도 11에서 보여지는 바와 같이 벌크 적층결합 밀도는 웨이퍼의 전면 및 후면으로부터 일정 깊이에는 이르는 표면 영역은 벌크 적층결합이 거의 존재하지 않고, 벌크 영역에는 게터링 역할을 할 수 있는 충분한 벌크 적층결합이 전체 벌크 영역에 걸쳐 일정하게 유지된다. 벌크 영역 내에 충분하고 일정하게 존재하는 벌크 적층결합은 금속 불순물들을 게터링하는 역할을 수행하게 된다. 따라서, 전체 벌크 영역내에서 충분하고 일정하게 존재하는 벌크 적층결합에 의해 후속의 열처리 공정 등에 의해 웨이퍼 표면으로 외방 확산되는 금속 오염 물질들을 충분히

게터링함으로써, 표면으로 외방 확산되는 금속 오염물질의 양을 현저하게 감소시킬 수가 있다. 벌크 영역에서 이러한 벌크 적층결함 밀도는  $5.0 \times 10^4 \sim 1.0 \times 10^6$  ea/cm<sup>2</sup>의 범위(농도로는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위)의 값을 나타낸다.

<104> 도 12는 웨이퍼 전면의 표면으로부터의 거리에 따른 BMD(Bulk Micro-Defect) 밀도를 도시한 그래프이다. 이하에서 설명할 때, 제시되지 않은 급속 열처리 조건들은 도 9를 참조하여 설명한 급속 열처리 조건과 동일하기 때문에 제시하지 않음을 밝혀둔다. 여기서, BMD라 함은 산소 석출물과 벌크 적층결함을 포함하는 의미를 나타낸다. 도 12a는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 1초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우를 나타내며, 도 12b는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 10초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우를 나타낸다.

<105> 도 12a 및 도 12b에서 보여지는 바와 같이, 본 발명의 실시예에 따라 제1 급속 열처리와 제2 급속 열처리를 포함하는 2단계 급속 열처리를 실시한 경우, BMD 밀도가 벌크 영역에서 일정하게 분포함을 알 수 있다. 벌크 영역에서 이러한 BMD 밀도는  $1.0 \times 10^5 \sim 5.0 \times 10^6$  ea/cm<sup>2</sup>의 범위(농도로는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위)의 값을 나타낸다.

<106> 도 13은 본 발명의 실시예에 따라 제조된 실리콘 웨이퍼의 BMD(Bulk Micro-Defect)를 보여주는 광학현미경 사진이다. 여기서, BMD라 함은 산소 석출물(도 13에서 회미하고 작게 나타난 부분)과 벌크 적층결함(도 13에서 진하고 크게 나타난 부분)을 포함하는 의미를 나타낸다. 도 13은 도 11을 참조하여 설명한 B 조건에서 2단계 급속 열처리를 실시한 경우의 사진이다.



- <107> 도 13에서 보여지는 바와 같이, 웨이퍼 전면과 웨이퍼 후면의 표면 영역에는 BMD가 거의 존재하지 않는 무결함층이 형성되고, 벌크 영역에는 거의 일정한 밀도로 BMD가 존재함을 알 수 있다.
- <108> 도 14는 웨이퍼 중심으로부터의 거리에 따른 델타(Delta) [0i]를 도시한 그래프이다. 여기서, '웨이퍼 중심으로부터의 거리'라 함은 웨이퍼 중심로부터 에지부 방향으로의 거리를 의미하며, 델타 [0i]는 초기의 산소 농도에서 열처리 후의 산소석출물의 농도를 뺀 값을 의미하며, 따라서 델타 [0i]는 웨이퍼 전면에서 후면까지에 대하여 웨이퍼 중심으로부터 에지부 방향으로 각각 측정된 값이 도 14에 나타나게 된다. 이하에서 도 14를 참조하여 설명할 때, 제시되지 않은 급속 열처리 조건들은 도 9를 참조하여 설명한 급속 열처리 조건과 동일하기 때문에 제시하지 않음을 밝혀둔다. 도 14a는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 1초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우를 나타내며, 도 14b는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 10초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우를 나타낸다.
- <109> 도 14a 및 도 14b에서 보여지는 바와 같이, 본 발명의 실시예에 따라 제1 급속 열처리와 제2 급속 열처리를 포함하는 2단계 급속 열처리를 실시한 경우, 델타 [0i]가 일정하게 나타남을 알 수 있다.
- <110> 도 15는 웨이퍼 중심으로부터의 거리에 따른 BMD(Bulk Micro-Defect) 밀도를 도시한 그래프이다. 도 15a는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 1초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우를 나타내며, 도 15b는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃

의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 10초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우를 나타낸다.

<111> 도 15a 및 도 15b에서 보여지는 바와 같이, 본 발명의 실시예에 따라 제1 급속 열처리와 제2 급속 열처리를 포함하는 2단계 급속 열처리를 실시한 경우, BMD 밀도가 일정하게 나타남을 알 수 있다.

<112> 도 16은 웨이퍼 중심으로부터의 거리에 따른 디누드 존(DZ)의 깊이를 도시한 그래프이다.

<113> 도 16a에서, (a)는 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)만을 실시한 경우이고, (b)는 제2 급속 열처리(1215℃의 제3 온도에서 1초 동안 유지)만을 실시한 경우이며, (c)는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 1초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우이며, (d)는 열처리를 실시하지 않은 경우를 나타낸다. 도 16a에서 보여지는 바와 같이 본 발명의 실시예에 따라 2단계 급속 열처리를 실시한 경우에 DZ의 깊이가 편차가 없이 일정하게 나타남을 알 수 있다.

<114> 또한, 도 16b에서, (a)는 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)만을 실시한 경우이고, (b)는 제2 급속 열처리(1215℃의 제3 온도에서 10초 동안 유지)만을 실시한 경우이며, (c)는 본 발명의 실시예에 따라 제1 급속 열처리(1150℃의 제1 온도에서 10초 동안 유지)와 제2 급속 열처리(1215℃의 제3 온도에서 10초 동안 유지)로 이루어진 2단계 급속 열처리를 실시한 경우이며, (d)는 열처리를 실시하지 않은 경우를 나타낸다. 도 16b에서 보여지는 바와 같이 본 발명의 실시예에 따라 2단계 급속 열처리를 실시한 경우에 DZ의 깊이가 편차가 없이 일정하게 나타남을 알 수 있다.

- <115> 도 17은 본 발명의 실시예에 따라서 제조된 실리콘 웨이퍼의 XRT(X-ray Topography) 결과를 나타낸 것으로 슬립(Slip) 전위가 전혀 발생하지 않고 RTP 장비에 기인하여 발생되어지는 핀 마크(Pin Mark)만이 나타남을 보여주고 있다. 도 17a는 도 11을 참조하여 설명한 C 조건에서 2단계 급속 열처리를 실시한 경우의 사진이고, 도 17b는 도 11을 참조하여 설명한 B 조건에서 2단계 급속 열처리를 실시한 경우의 사진이며, 도 17c는 도 11을 참조하여 설명한 A 조건에서 2단계 급속 열처리를 실시한 경우의 사진이다.
- <116> 도 18은 본 발명의 실시예에 따른 실리콘 웨이퍼를 제조하기 위한 공정들을 설명하기 위하여 도시한 도면이다.
- <117> 도 18을 참조하면, 먼저, 쇼크랄스키법을 이용하여 소정의 인상장치 내에서 실리콘 단결정을 성장시킨다(S10). 즉, 씨드 결정(Seed Crystal)을 용융 실리콘에 담근 후 천천히 인상하면서 결정을 성장시킨다. 결정성장속도(V)와 결정의 응고 계면에서의 성장 방향의 온도 구배(G)에 의해 도 2를 참조하여 설명한 서로 다른 결함 영역이 형성되고, 이 결함 영역은 베이컨시(Vacancy)와 인터스티셜(Interstitial) 실리콘의 거동 변화에 의해 영향을 받는다. 이어서, 성장된 잉곳을 웨이퍼의 형태로 슬라이싱한다(S20). 다음에, 슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을 라운딩하거나 표면을 식각하기 위하여 에칭 공정을 실시한다(S30). 이어서, 실리콘 웨이퍼 내에 포함된 결정성장시 발생한 산소가 디바이스 제작을 위한 후속의 열처리 과정에서 전자를 방출하여 도너 역할을 하는 것을 방지하기 위하여 열처리를 통한 산소석출물로 만들어 주는 공정인 도너 킬링(donor killing) 공정을 실시한다(S40). 즉, 실리콘 웨이퍼 내에 결정성장시 포함되어지는 약  $10^{18}$  atoms/cm<sup>3</sup>의 산소 원자들 중 약  $10^{16}$  atoms/cm<sup>3</sup> 정도가 단결정붕 냉각 과정에서 복수 개의 산소 원자가 모여서 전자를 방출하고 도너(Donor)화하는데, 웨이퍼의 저항률을 맞추기 위해서 도펀트(Dopant)를 첨가



하여도 이러한 도너들로 인하여 목표로 하는 저항률을 얻을 수 없게 된다. 그러므로 결정성장 시 발생하는 산소가 도너 역할을 하는 것을 방지하기 위하여 산소석출물로 만들어주는 공정인 도너 킬링을 수행하는데, 본 발명의 실시예의 2단계 급속 열처리 공정은 상기 도너 킬링 공정 단계에서 수행하는 것이 바람직하다. 다음에, 실리콘 웨이퍼 표면을 폴리싱하는 단계(S50)와, 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계(S60) 및 세정 단계(S70)를 수행한다. 상기와 같은 공정들은 거친 실리콘 웨이퍼는 패키징되어 제품화되게 된다.

<118>      상기 실리콘 단결정을 성장시키는 단계(S10)에 대하여 간략히 설명하면, 먼저 씨드 결정 으로부터 가늘고 긴 결정을 성장시키는 네킹(necking) 단계를 거치고, 실리콘 단결정을 직경방향으로 성장시켜 목표 직경으로 만드는 숄더링(shouldering) 단계를 거친다. 상기 숄더링 단계를 거친 이후에는 일정한 직경을 갖는 결정이 성장되는데, 이 과정을 몸통 그로잉(body growing) 단계라 부른다. 일정한 길이 만큼 바디 그로잉이 진행된 후에는 결정의 직경을 서서히 감소시켜 결국 용융실리콘과 분리하는 테일링(tailing) 공정 단계를 거쳐 결정성장 단계를 마무리한다. 이러한 결정성장 공정은 핫존(Hot Zone)이라는 공간에서 이루어지게 되는데, 핫존은 결정성장 장치(Grower)에서 용융 실리콘이 단결정 잉곳으로 성장될 때의 용융 실리콘과 잉곳 접촉 주위의 공간을 의미한다. 상기 결정성장 장치는 용융 도가니, 가열장치, 보온 구조물, 잉곳인상장치, 회전축 등을 포함하는 장비들로 구성된다.

#### 【발명의 효과】

<119>      본 발명에 의하면, 웨이퍼의 표면 근처에 디루드 존이 충분히 확보되고 웨이퍼의 벌크 영역에는 게터링 사이트(Gatterring Site)로서 기능을 할 수 있는 벌크 적층결함이 전체에 걸쳐 일정한 농도 분포를 갖는 실리콘 웨이퍼를 확보할 수 있다.



<120> 본 발명에 의한 2단계 RTP(Rapid Thermal Processing) 방법을 사용하여 웨이퍼의 표면 영역에 존재하는 OiSF와 미세 산소석출물을 제어함으로써 완벽한 반도체 소자 영역을 확보한 웨이퍼의 제조가 가능하다. 2단계 급속 열처리를 행함으로써 결함 분포를 명확하게 제어하고 웨이퍼의 표면 영역의 일정한 깊이까지 완벽하게 이상적인 디바이스 활성 존(Device Active Zone)을 형성시키고, 또한 웨이퍼의 내부 영역(벌크 영역)에는 고밀도 산소석출물과 벌크 적층 결함(Bulk Stacking Fault)을 깊이방향으로 일정한 밀도를 가지도록 함으로써 내부 게터링(Internal Gettering) 효율을 극대화시킬 수 있다. 이와 같이 웨이퍼 표면이나 근처에 존재하는 OiSF 링(Ring)이나 OiSF 디스크(Disk)를 이상적으로 제어함으로써 웨이퍼 표면 근방에 이상적인 디바이스 동작영역을 확보하고 또한 웨이퍼 벌크 영역내에는 고밀도 벌크 적층결함(Bulk Stacking Faults)과 산소석출물이 균일한 분포를 갖는 웨이퍼를 제조할 수 있다.

<121> 또한, 본 발명에 의하면, 전체 벌크 영역내에서 충분하고 일정하게 존재하는 벌크 적층 결함에 의해 후속의 열처리 공정 등에 의해 웨이퍼 표면으로 외방 확산되는 금속 오염 물질들을 충분히 게터링함으로써, 표면으로 외방 확산되는 금속 오염물질의 양을 현저하게 감소시킬 수 있다.

<122> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.



【특허청구범위】

【청구항 1】

전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에서

상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디누드 존;

상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디누드 존; 및

상기 제1 디누드 존과 상기 제2 디누드 존 사이에 형성되고, 결함의 농도 프로파일이 웨이퍼 전면에서 후면 방향으로 일정하게 유지되는 분포를 갖는 벌크 영역을 포함하는 실리콘 웨이퍼.

【청구항 2】

제1항에 있어서, 상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)인 것을 특징으로 하는 실리콘 웨이퍼.

【청구항 3】

제2항에 있어서, 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼.

**【청구항 4】**

제1항에 있어서, 상기 결함은 벌크 적층결함(Bulk Stacking Fault)인 것을 특징으로 하는 실리콘 웨이퍼.

**【청구항 5】**

제4항에 있어서, 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 결함의 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼.

**【청구항 6】**

제1항에 있어서, 상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터  $5\mu\text{m} \sim 40\mu\text{m}$ 의 범위내인 것을 특징으로 하는 실리콘 웨이퍼.

**【청구항 7】**

제1항에 있어서, 상기 제1 디누드 존 및 상기 제2 디누드 존은 산소석출물 및 벌크 적층결함이 제거된 무결함 영역인 것을 특징으로 하는 실리콘 웨이퍼.

**【청구항 8】**

전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에서, 상기 전면과 후면 사이의 영역은,



상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디누드 존;

상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디누드 존; 및

상기 제1 디누드 존과 상기 제2 디누드 존 사이에 형성된 벌크 영역을 포함하되,

상기 웨이퍼 전면으로부터 상기 웨이퍼 후면 사이의 결함 농도 프로파일은 상기 웨이퍼 전면 및 후면 사이의 중심부로부터 축대칭의 계단형 형태를 갖는데, 상기 벌크 영역은 상기 제1 디누드 존 및 상기 제2 디누드 존과의 경계에서 수직 상승한 농도 기울기를 갖고 벌크 영역 전체에 걸쳐 수평한 농도 기울기를 가지며, 상기 벌크 영역의 결함 농도 프로파일은 10% 편차 범위 내의 평평한 형태를 갖는 실리콘 웨이퍼.

#### 【청구항 9】

제8항에 있어서, 상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)인 것을 특징으로 하는 실리콘 웨이퍼.

#### 【청구항 10】

제9항에 있어서, 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 벌크 영역에서 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼.

## 【청구항 11】

제8항에 있어서, 상기 결함은 벌크 적층결함(Bulk Stacking Fault)인 것을 특징으로 하는 실리콘 웨이퍼.

## 【청구항 12】

제11항에 있어서, 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 벌크 영역에서 결함의 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼.

## 【청구항 13】

제8항에 있어서, 상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터  $5\mu\text{m} \sim 40\mu\text{m}$ 의 범위내인 것을 특징으로 하는 실리콘 웨이퍼.

## 【청구항 14】

전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼를 준비하는 단계;

상기 실리콘 웨이퍼에 대하여 베이컨시를 소비하여 산소석출물의 핵 형성을 가속화시켜 주기 위한 제1 급속 열처리를 실시하는 단계; 및

상기 실리콘 웨이퍼 표면 근처 영역에 존재하는 상기 산소석출물의 핵들을 제거하고 상기 실리콘 웨이퍼 벌크 영역에 존재하는 상기 산소석출물의 핵들을 더욱 성장시켜 주기 위한

제2 급속 열처리를 실시하는 단계를 포함하는 실리콘 웨이퍼의 제조방법.

【청구항 15】

제14항에 있어서, 상기 제2 급속 열처리 단계는 상기 제1 급속 열처리 단계보다 높은 온도에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 16】

제14항에 있어서, 상기 제1 급속 열처리 단계는 1120℃~1180℃ 범위의 온도에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 17】

제14항에 있어서, 상기 제2 급속 열처리 단계는 1200℃~1230℃ 범위의 온도에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 18】

제14항에 있어서, 상기 제1 급속 열처리 단계는 1초~5초 범위의 시간 동안 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 19】**

제14항에 있어서, 상기 제2 급속 열처리 단계는 1초~10초 범위의 시간 동안 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 20】**

제14항에 있어서, 상기 제1 급속 열처리는 아르곤 가스와 암모니아 가스의 혼합 가스를 사용하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 21】**

제14항에 있어서, 상기 제2 급속 열처리는 아르곤 가스를 사용하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 22】**

제14항에 있어서, 상기 제1 급속 열처리 단계와 상기 제2 급속 열처리 단계는 동일한 장비 내에서 인-시츄(In-Situ)로 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 23】**

제14항에 있어서, 제1 급속 열처리 단계와 상기 제2 급속 열처리 단계는 익스-시츄(Ex-Situ)로 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.



**【청구항 24】**

제14항에 있어서, 상기 실리콘 웨이퍼를 준비하는 단계는,

씨드 결정(Seed Crystal)을 용융 실리콘에 담그고 결정성장 속도와 결정의 응고 계면에  
서의 성장 방향의 온도 구배를 조절하면서 인상하여 실리콘 단결정을 성장시키는 단계;

성장된 실리콘 단결정을 웨이퍼의 형태로 슬라이싱하는 단계; 및

슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을  
라운딩하거나 표면을 식각하기 위한 에칭 공정을 실시하는 단계를 포함하는 것을 특징으로 하  
는 실리콘 웨이퍼의 제조방법.

**【청구항 25】**

제14항에 있어서, 상기 제1 급속 열처리 단계와 상기 제2 급속 열처리 단계는,

상기 실리콘 웨이퍼 내에 포함된 결정성장시 발생한 산소가 후속의 열처리 과정에서 전  
자를 방출하여 도너 역할을 하는 것을 방지하기 위하여 산소식출물로 만들어주는 공정인 도너  
킬링(donor killing) 공정 단계에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 26】**

제14항에 있어서, 상기 제2 급속 열처리 단계 후에,

상기 실리콘 웨이퍼 표면을 폴리싱하는 단계;

상기 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계; 및



상기 실리콘 웨이퍼를 세정하는 단계를 더 포함하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 27】

제14항에 있어서, 상기 제1 및 제2 급속 열처리 단계 후에,

상기 상기 전면과 후면 사이의 영역은,

상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디nud 존;

상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디nud 존; 및

상기 제1 디nud 존과 상기 제2 디nud 존 사이에 구비된 벌크 영역을 포함하되,

상기 벌크 영역의 결함 농도 프로파일은 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 28】

제27항에 있어서, 상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)인 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 29】

제28항에 있어서, 상기 제1 디nud 존과 상기 제2 디nud 존 사이의 영역에서 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는

실리콘 웨이퍼의 제조방법.

【청구항 30】

제27항에 있어서, 상기 결함은 벌크 적층결함(Bulk Stacking Fault)인 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 31】

제30항에 있어서, 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 결함의 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 32】

제27항에 있어서, 상기 제1 디누드 존 및 상기 제2 디누드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터  $5\mu\text{m} \sim 40\mu\text{m}$ 의 범위내인 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 33】

(a) 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼를 준비하는 단계;

(b) 상기 실리콘 웨이퍼를 급속 열처리 장비에 로딩하는 단계;



(c) 상기 급속 열처리 장비 내의 온도를 목표하는 제1 온도로 급격히 상승시키는 단계;

(d) 상기 제1 온도에서 상기 실리콘 웨이퍼에 대하여 베이컨시를 소비하여 산소석출물의 핵 형성을 가속화시켜 주는데 필요한 시간 동안 유지하여 제1 급속 열처리를 실시하는 단계;

(e) 상기 급속 열처리 장비 내의 온도를 제2 온도로 급격히 하강시키는 단계;

(f) 상기 급속 열처리 장비 내의 온도를 상기 제1 온도보다 높은 제3 온도로 급격히 상승시키는 단계;

(g) 상기 웨이퍼 표면 영역 또는 표면 근처 영역에 존재하는 상기 산소석출물의 핵들을 제거하고 상기 실리콘 웨이퍼 벌크 영역에 존재하는 상기 산소석출물의 핵들을 더욱 성장시켜 주는데 필요한 시간 동안 상기 제3 온도에서 유지하여 제2 급속 열처리를 실시하는 단계; 및

(h) 상기 급속 열처리 장비 내의 온도를 제4 온도로 급격히 하강시키는 단계를 포함하는 실리콘 웨이퍼의 제조방법.

#### 【청구항 34】

제33항에 있어서, 상기 제1 급속 열처리는 1120℃~1180℃ 범위의 온도에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 35】**

제33항에 있어서, 상기 제2 급속 열처리는 1200℃~1230℃ 범위의 온도에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 36】**

제33항에 있어서, 상기 제1 급속 열처리는 1초~5초 범위의 시간 동안 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 37】**

제33항에 있어서, 상기 제2 급속 열처리는 1초~10초 범위의 시간 동안 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 38】**

제33항에 있어서, 상기 (b) 단계 내지 상기 (h) 단계 동안에는 아르곤 가스를 계속하여 공급하여 주고, 상기 (d) 단계 동안에는 암모니아 가스를 공급하고 상기 (e) 단계 내지 상기 (h) 단계 동안에는 상기 암모니아 가스의 공급을 차단하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

**【청구항 39】**

제33항에 있어서, 상기 실리콘 웨이퍼를 준비하는 단계는,



씨드 결정(Seed Crystal)을 용융 실리콘에 담그고 결정성장 속도와 결정의 응고 계면에  
서의 성장 방향의 온도 구배를 조절하면서 인상하여 실리콘 단결정을 성장시키는 단계;

성장된 실리콘 단결정을 웨이퍼의 형태로 슬라이싱하는 단계; 및

슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을  
라운딩하거나 표면을 식각하기 위한 에칭 공정을 실시하는 단계를 포함하는 것을 특징으로 하  
는 실리콘 웨이퍼의 제조방법.

#### 【청구항 40】

제33항에 있어서, 상기 (b) 내지 상기 (h) 단계는,

상기 실리콘 웨이퍼 내에 포함된 결정성장시 발생한 산소가 후속의 열처리 과정에서 전  
자를 방출하여 도너 역할을 하는 것을 방지하기 위하여 산소석출물로 만들어주는 공정인 도너  
킬링(donor killing) 공정 단계에서 수행하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

#### 【청구항 41】

제33항에 있어서, 상기 (h) 단계 후에,

상기 급속 열처리 장비에서 상기 실리콘 웨이퍼를 언로딩하는 단계;

상기 실리콘 웨이퍼 표면을 폴리싱하는 단계;

상기 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계; 및



상기 실리콘 웨이퍼를 세정하는 단계를 더 포함하는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 42】

제33항에 있어서, 상기 (h) 단계 후에,  
상기 상기 전면과 후면 사이의 영역은,  
상기 웨이퍼 전면의 표면으로부터 소정 깊이까지 형성된 제1 디nud 존;  
상기 웨이퍼 후면의 표면으로부터 소정 깊이까지 형성된 제2 디nud 존; 및  
상기 제1 디nud 존과 상기 제2 디nud 존 사이에 구비되는 벌크 영역을 포함하되,  
상기 벌크 영역의 결함 농도 프로파일은 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 43】

제42항에 있어서, 상기 결함은 산소석출물과 벌크 적층결함(Bulk Stacking Fault)을 포함하는 BMD(Bulk Micro-Defect)인 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 44】

제43항에 있어서, 상기 제1 디nud 존과 상기 제2 디nud 존 사이의 영역에서 결함의 농도는  $3.0 \times 10^8 \sim 1.0 \times 10^{10}$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는

실리콘 웨이퍼의 제조방법.

【청구항 45】

제42항에 있어서, 상기 결함은 벌크 적층결함(Bulk Stacking Fault)인 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

【청구항 46】

제45항에 있어서, 상기 제1 디루드 존과 상기 제2 디루드 존 사이의 영역에서 결함의 농도는  $1.0 \times 10^8 \sim 3.0 \times 10^9$  ea/cm<sup>3</sup>의 범위에서 일정하게 유지되는 분포를 갖는 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

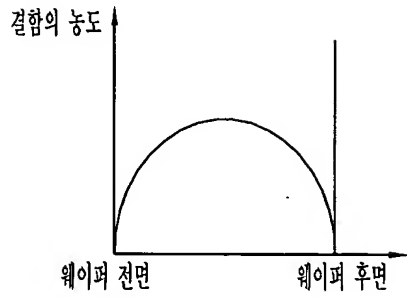
【청구항 47】

제42항에 있어서, 상기 제1 디루드 존 및 상기 제2 디루드 존의 깊이는 상기 웨이퍼의 전면 및 후면의 표면으로부터  $5\mu\text{m} \sim 40\mu\text{m}$ 의 범위내인 것을 특징으로 하는 실리콘 웨이퍼의 제조방법.

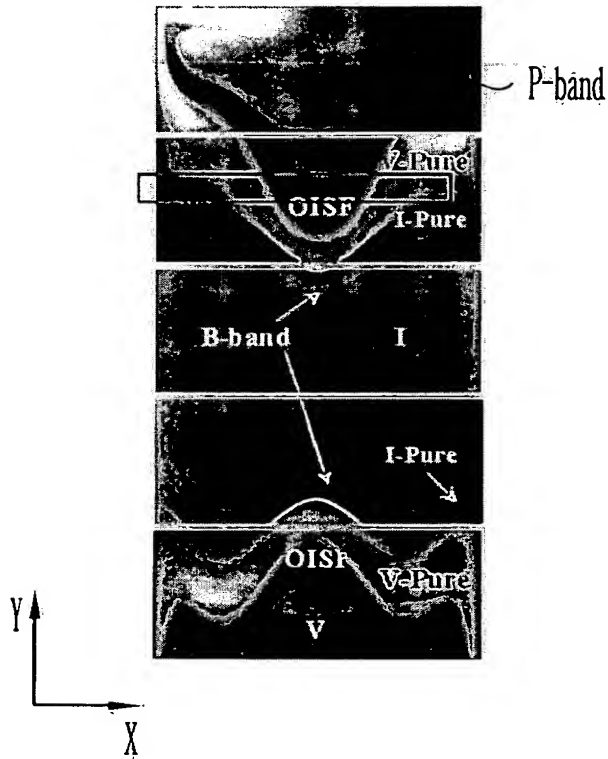


【도면】

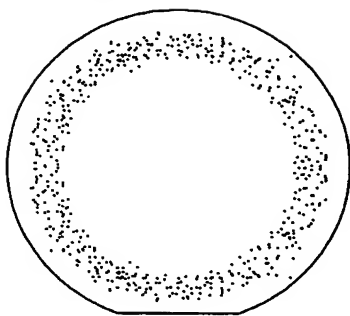
【도 1】



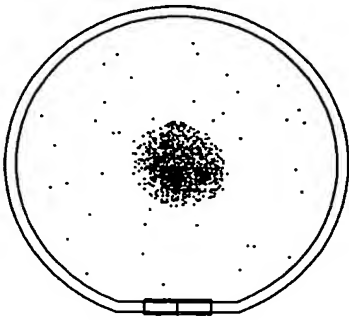
【도 2】



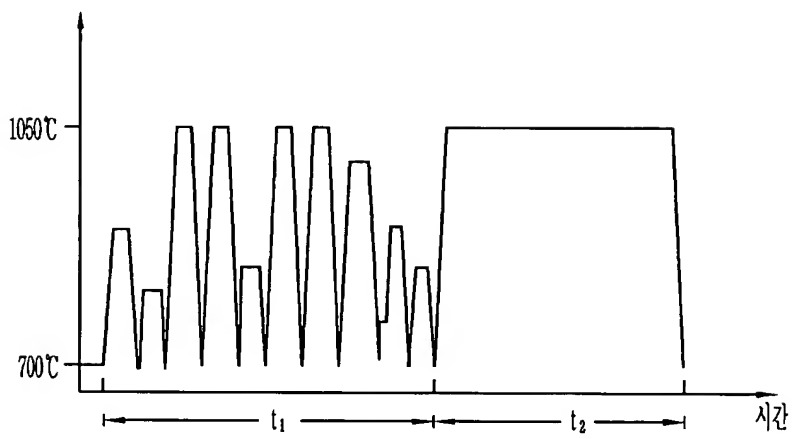
【도 3a】



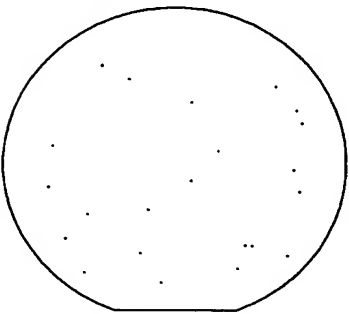
【도 3b】



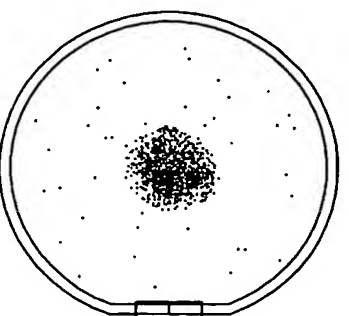
【도 4】



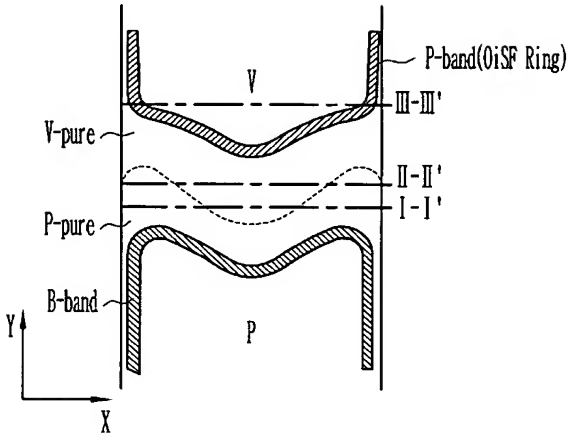
【도 5a】



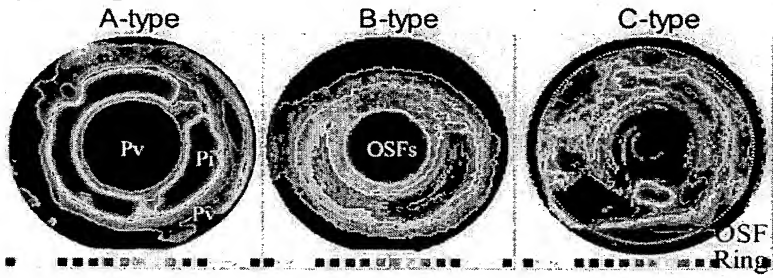
【도 5b】



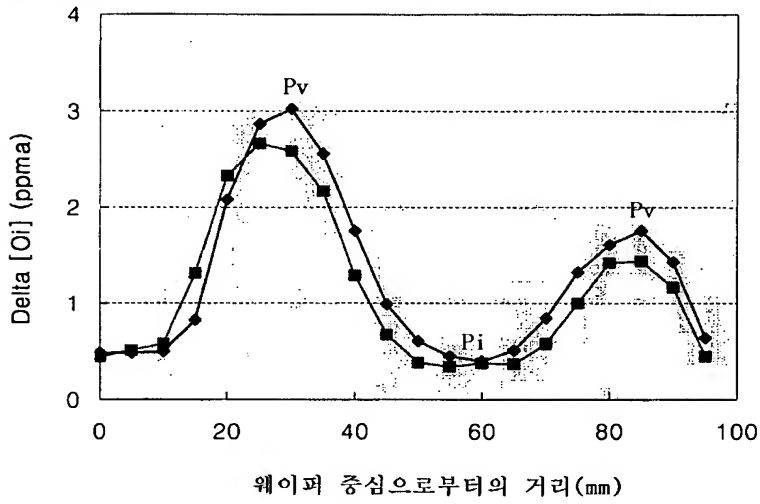
【도 6a】



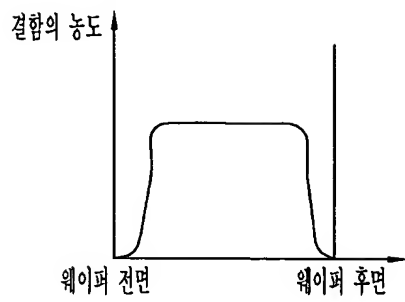
【도 6b】



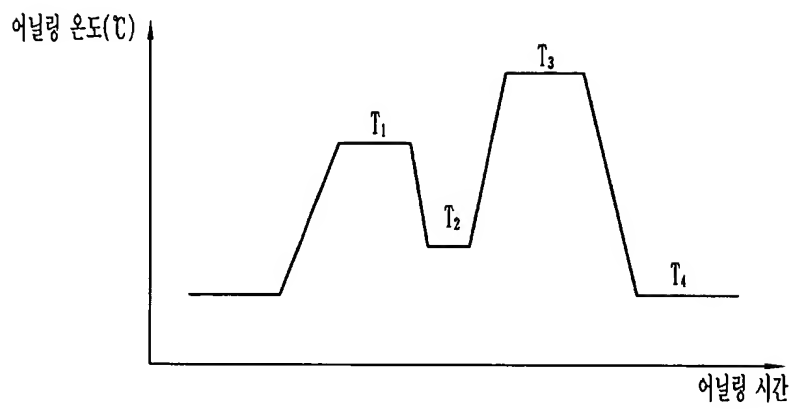
【도 7】



【도 8】

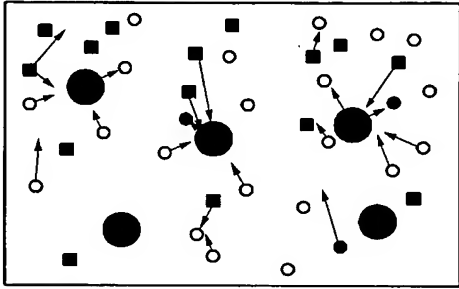


【도 9】



【도 10】

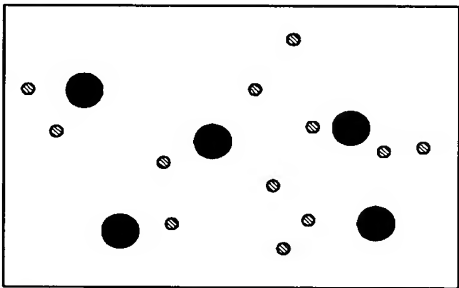
웨이퍼 전면



웨이퍼 후면



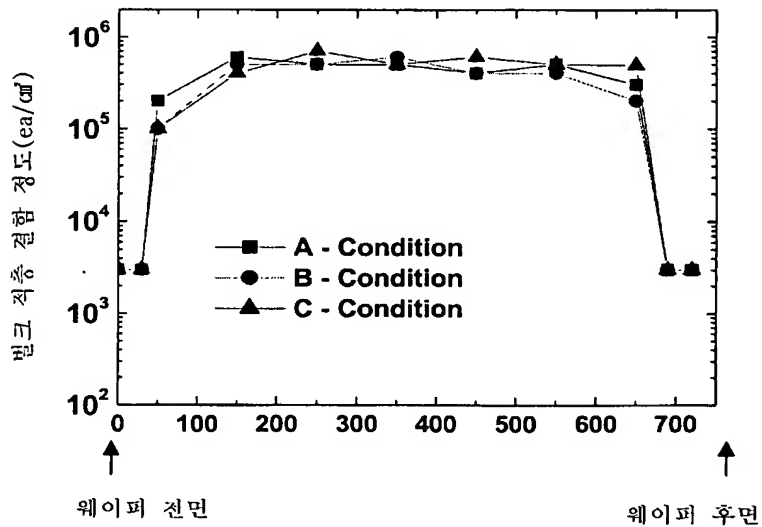
웨이퍼 전면



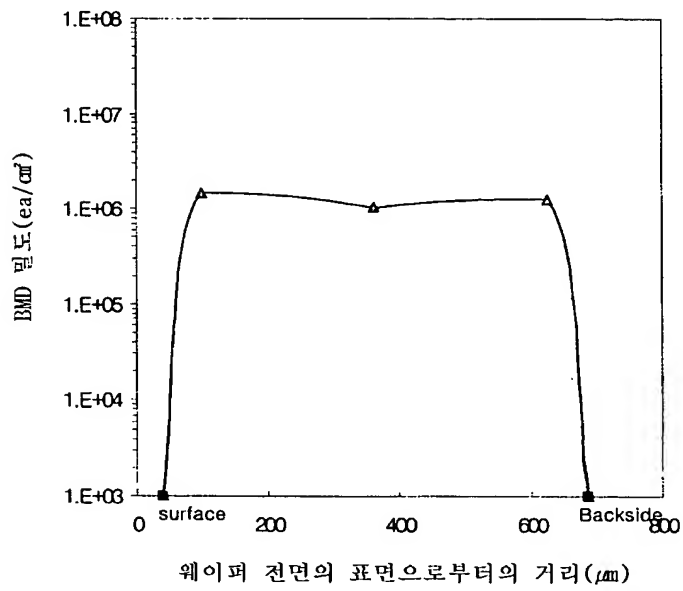
웨이퍼 후면

- (a) 에이전시 (□)    (b) 인터스티셜 실리콘 (●)    (c) 인터스티셜 산소 (○)  
 (d) 산소 석출물 (⊙)    (e) 벌크 적층 결함 (●)

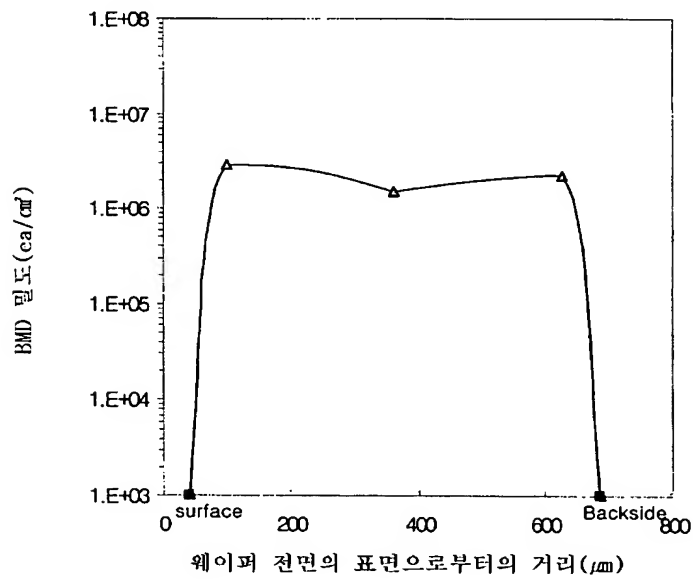
【도 11】



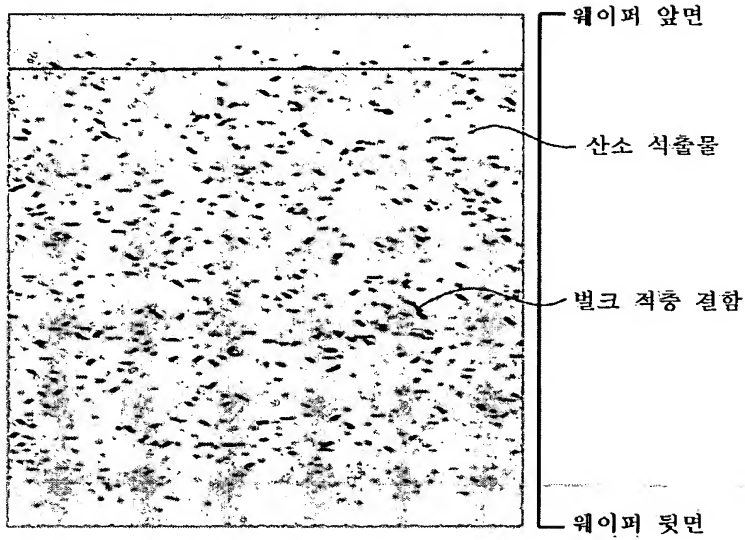
【도 12a】



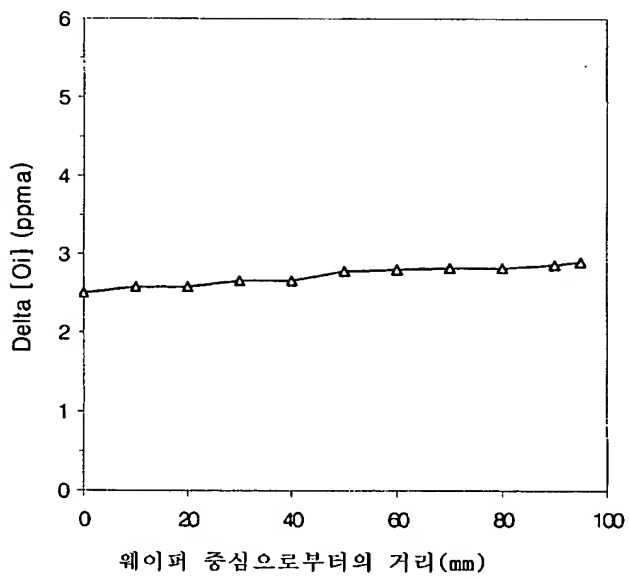
【도 12b】



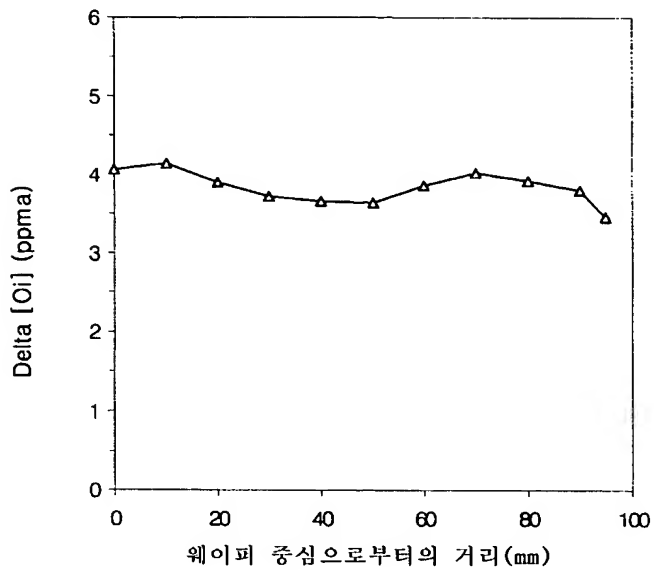
【도 13】



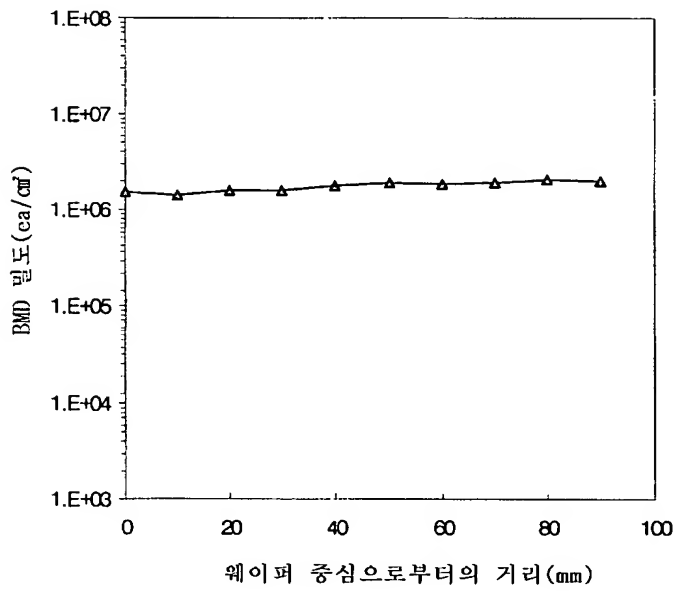
【도 14a】



【도 14b】

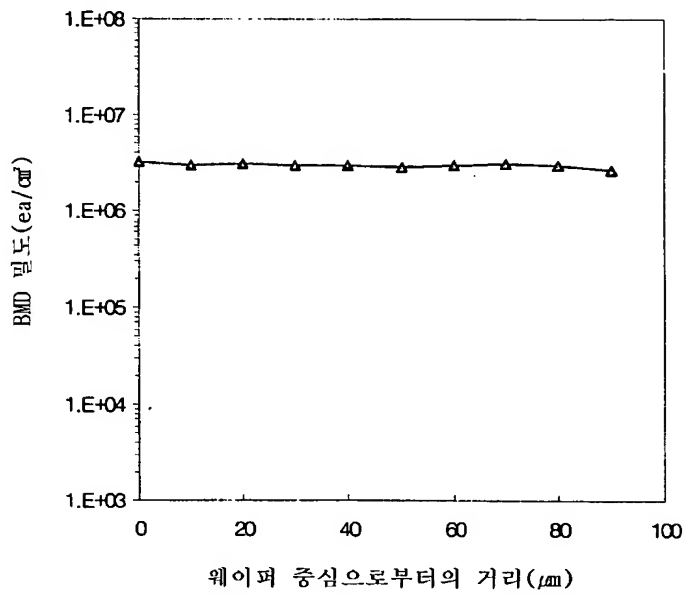


【도 15a】

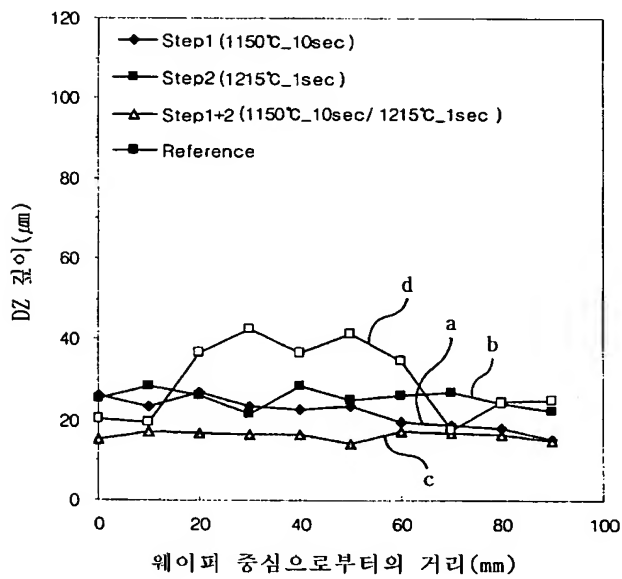




【도 15b】



【도 16a】

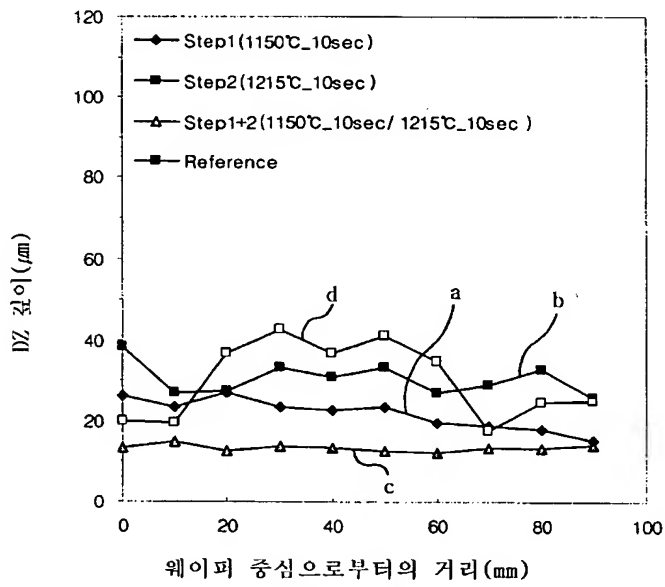




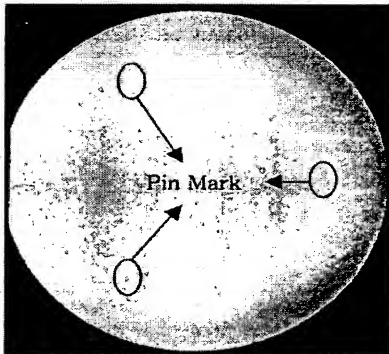
1020030062283

출력 일자: 2003/11/20

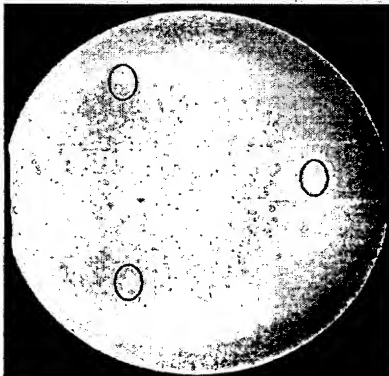
【도 16b】



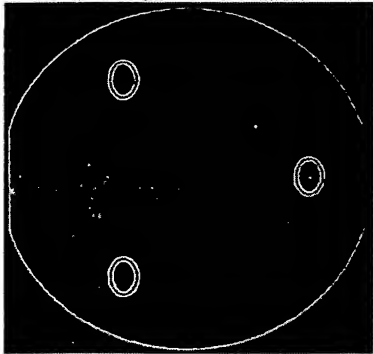
【도 17a】



【도 17b】



【도 17c】



【도 18】

